



创新科技 引领未来 开启电路设计新时代

AI板级设计解决方案 熠瓴大模型

派兹互连市场部

深圳

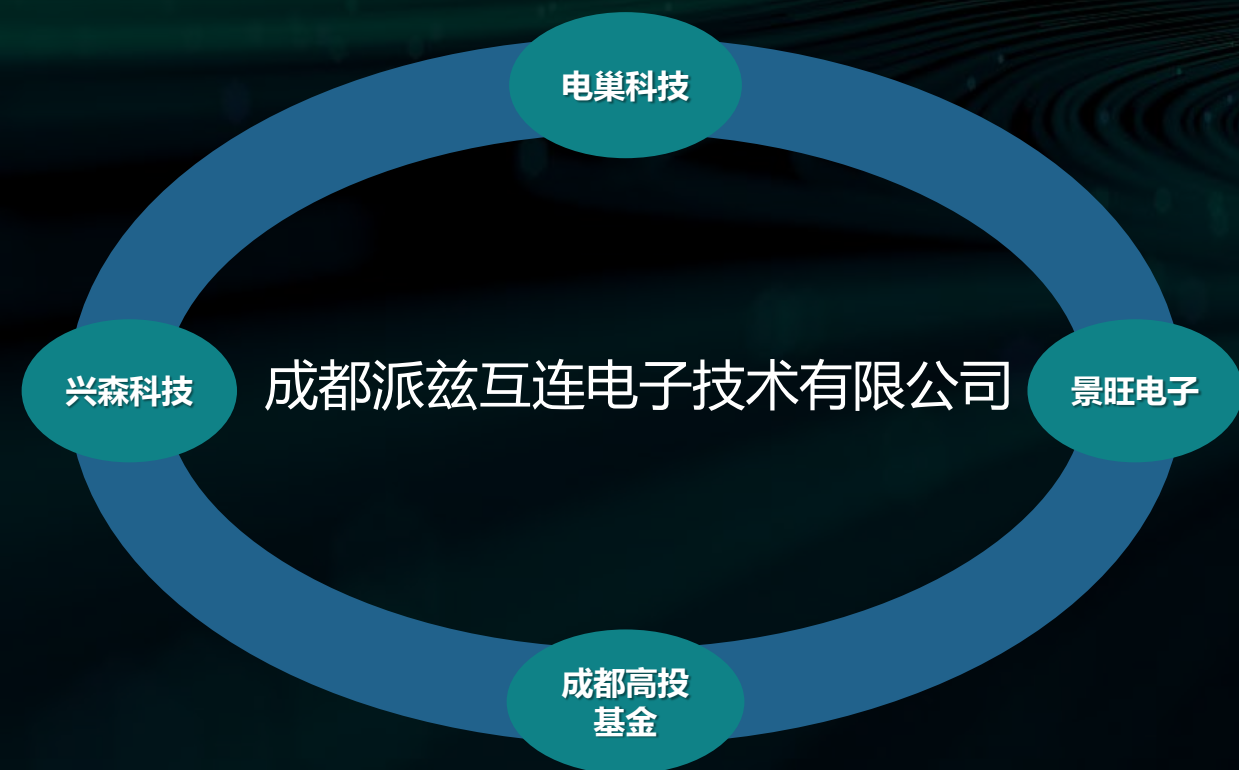


01

派兹AI方案概述

IPADS独家收购 派兹互连国内首创

派兹背景



收购背景

派兹互连独家收购西门子EDA的PADS Standard和PADS Standard Plus软件的源代码及中国区业务

西门子EDA关于PADS Standard 和 PADS Standard Plus产品的声明

西门子PCB及IC封装设计 2023-12-04 17:20 上海

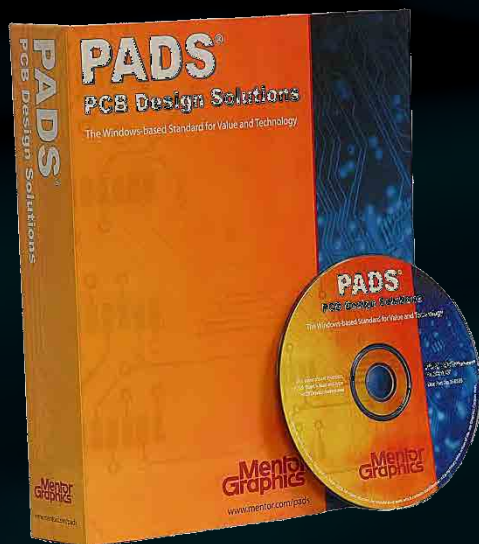
1人听过

西门子EDA已授权成都派兹互连电子技术有限公司（以下简称“派兹互连”），自2024年1月1日起，为PADS Standard和PADS Standard Plus软件中国地区唯一总经销商并对软件源代码拥有永久开发权。

西门子官方声明

SailWind发展史

2014 年以前
“桌面 PCB 设计”
PADS 9.5
Power PCB



2015-2023 年
“PADS 解决方案”



可靠的原理图
输入和
Layout 工具
，价格令人怦
然心动

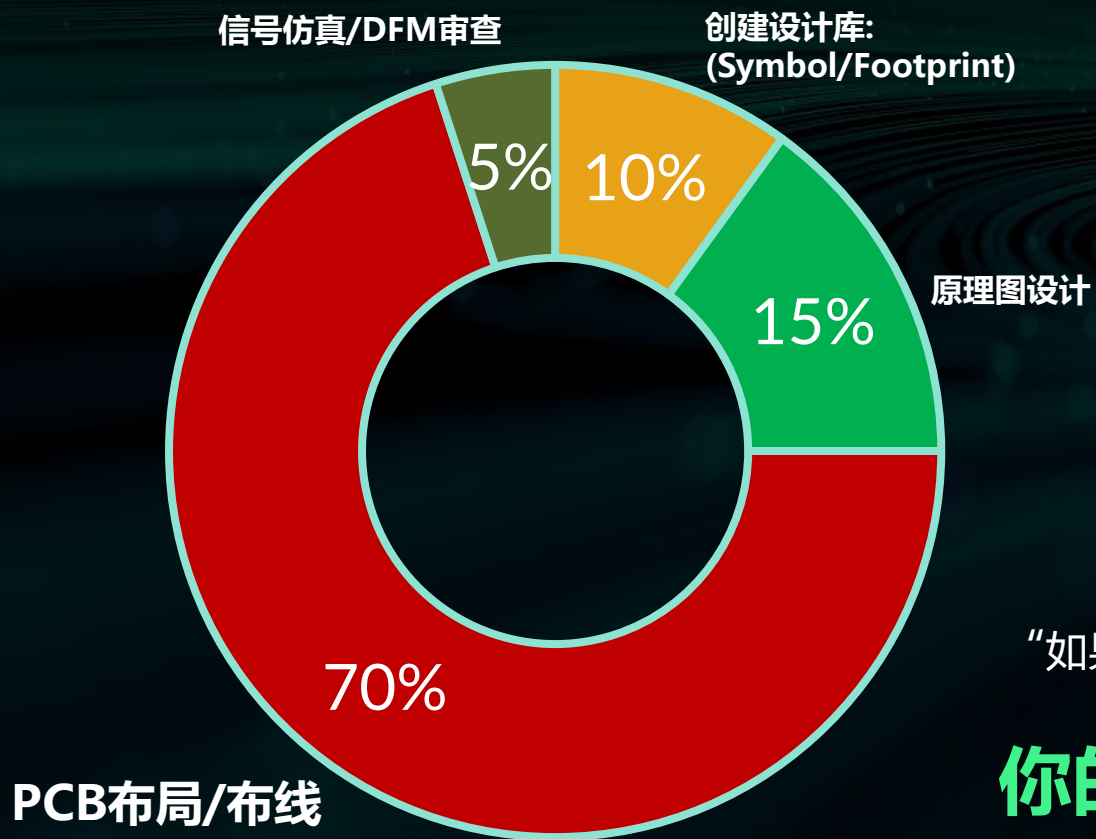


强大的原理图输入
和 Layout 功能，
具有约束管理、更
多的 Layout 和仿
真功能，可确保工
程师一次完成设计

2024 年
“国产自主SailWind”



传统设计流程效率瓶颈



传统PCB设计： 工程师的时间去哪儿了？

- 工程师70%时间消耗在重复性人工调整（移动器件、Fanout、布线、等长）
- 仅30%的时间用于产品创新设计

“如果竞争对手用AI重构了设计流程，而你的团队仍在手动调整：

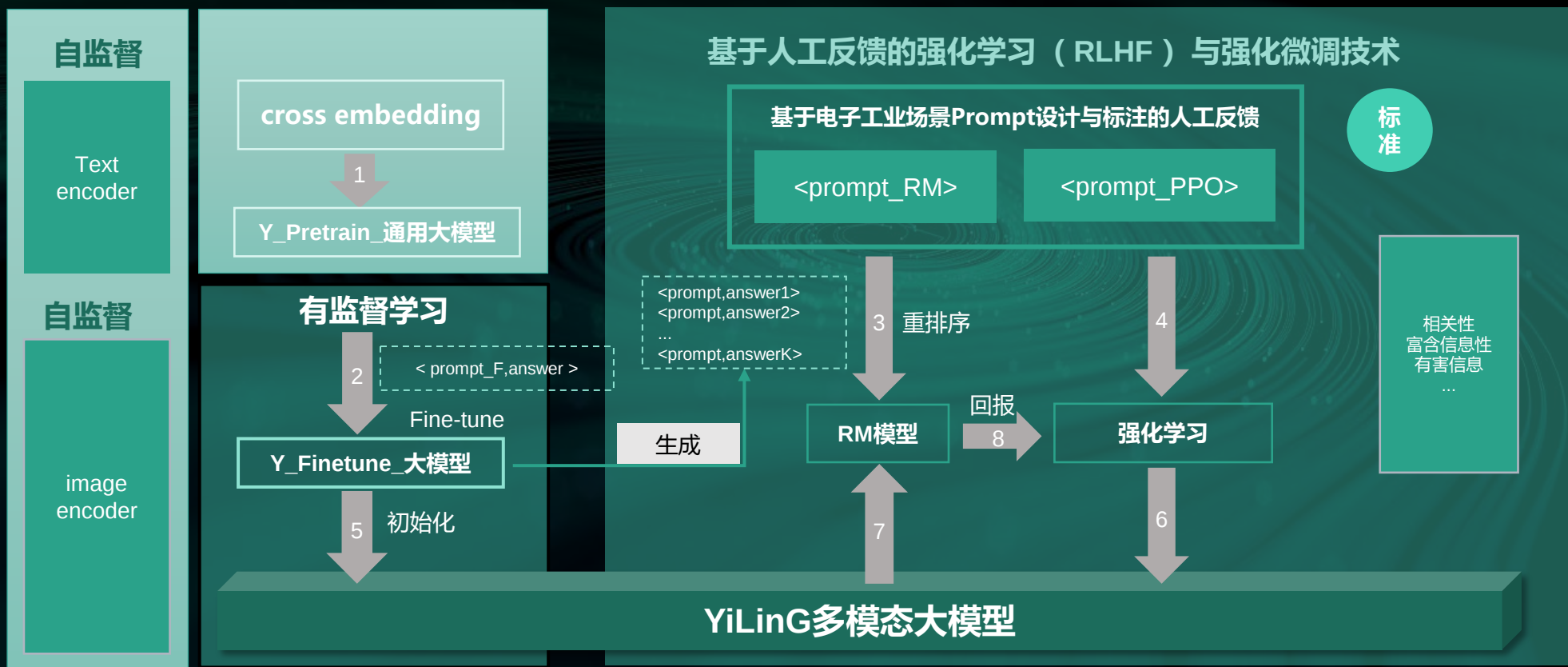
你的企业将在AI硬件创新中失去产品定义权”

派兹熠瓴大模型

- 通用知识
- 业务知识
- 业务数据
- 上下文理解
- 语言生成
- 智能推理

- 通用Prompt
- 电子工业Prompt

无监督学习、有监督学习
RLHF均为：
Transform Decoder Only



- 模型结构和训练思路同Deepseek等行业主流大模型基本一致
- 跨模态：聚焦图文模态关联的推理问题攻坚
- 理解力：强化模型的阅读理解能力，能够从长文本中推理

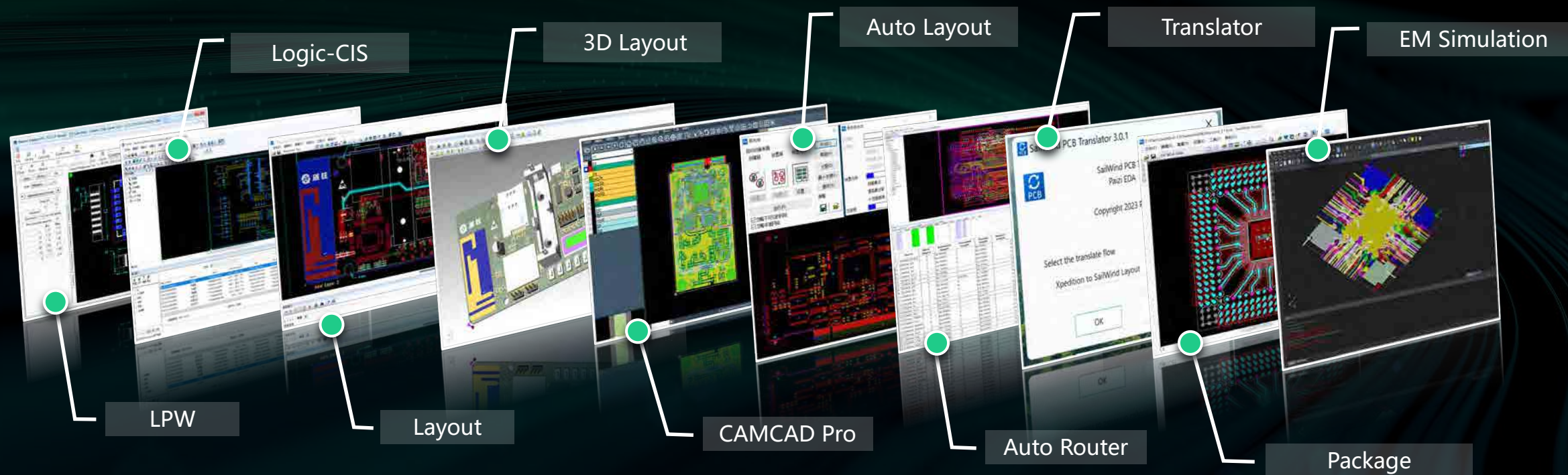
开源基础领域增训

聚焦领域微调

派兹智能系统平台全景



派兹互连拥有成熟商用工具自动化算法



自动建库



自动布局



自动布线

02

智能AI设计平台

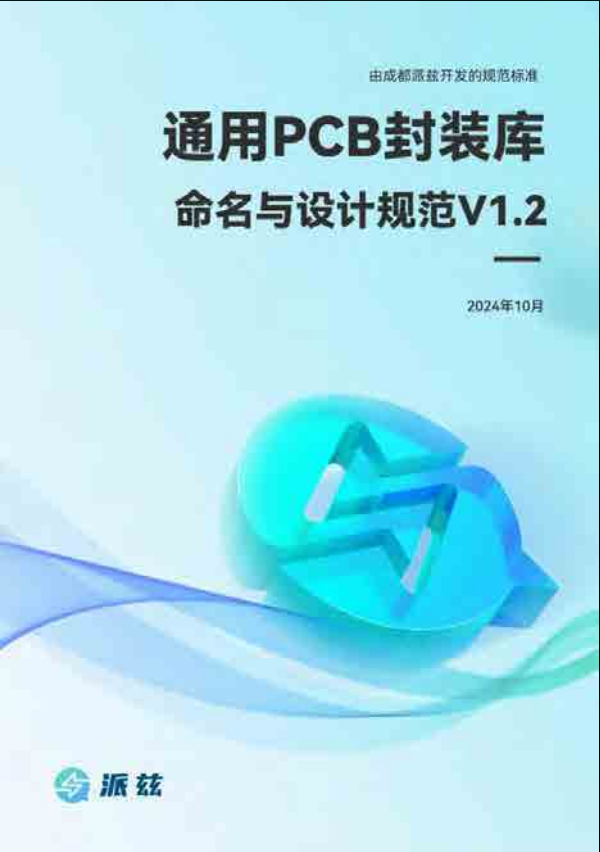
AI智能集成库

通过AI及自动化技术，构建规模化的电子元器件模型库和属性库

基于标准化、自动化、智能化技术路线，致力于数智化电子元器件数据开发与服务，结合云共享和可定制技术，构建国内一流的元器件智能集成库服务平台，深入推动电子产业硬件设计链元器件基础数据转型



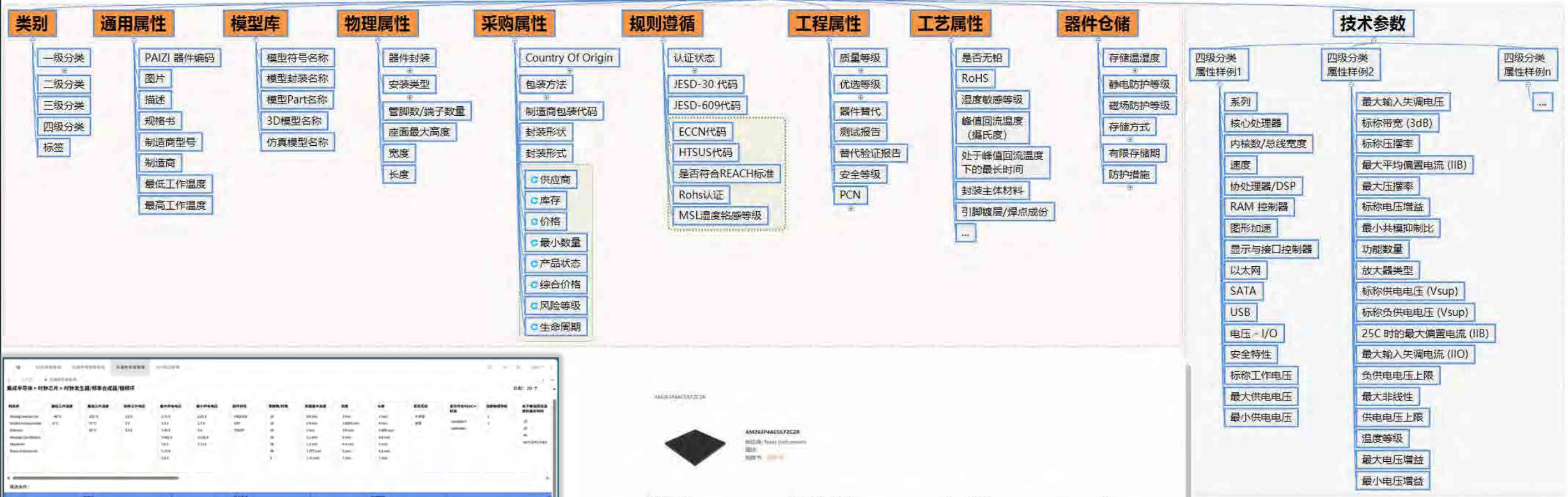
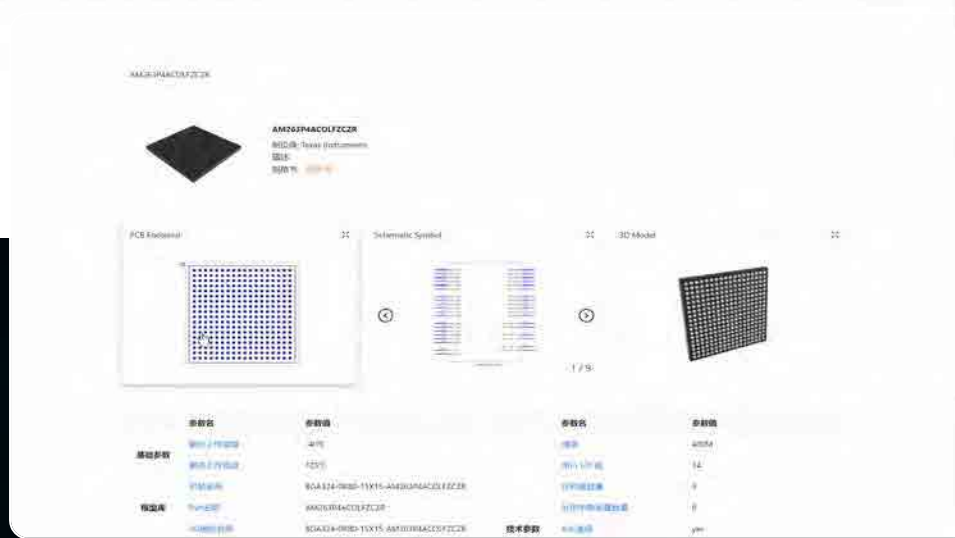
派兹互连元器件信息集成库标准特色



标准类别	派兹互连标准	行业参考标准
分类编码标准	《元器件分类编码标准》	UNSPSC 联合国标准产品与服务分类代码
模型建库标准	《原理图符号库建库规范》	GB4728、ANSI/IEEE-315、ANSI Y32.2-1975
	《通用PCB封装建库规范-IPC/JEDEC》	IPC-7351B 表贴元件焊盘设计规范、JEP30
	《通用PCB封装建库规范-GJB》	GJB 3243A-2021 电子元器件表面安装要求
	《异形器件封装库规范》	
	《器件3D模型绘制规范》	IPC/DAC-2552 General Electronic Components Model Based Definition(MDB) Standard
元器件属性定义标准	《元器件AI智能集成库属性参数定义规范》	

智能集成库物料参数

元器件属性定义

[illegible]

产品与服务

核心功能一：AI智能建库工具

符号创建、封装创建、3D模型、属性创建

核心功能二：集成库

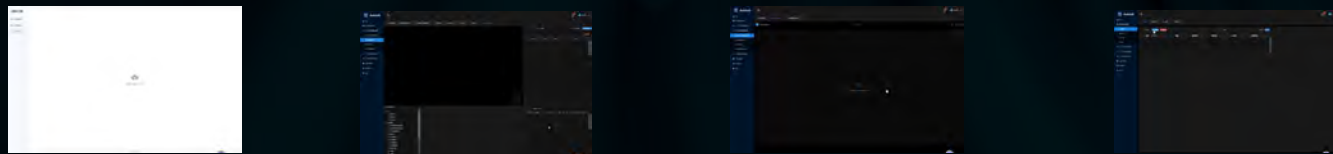
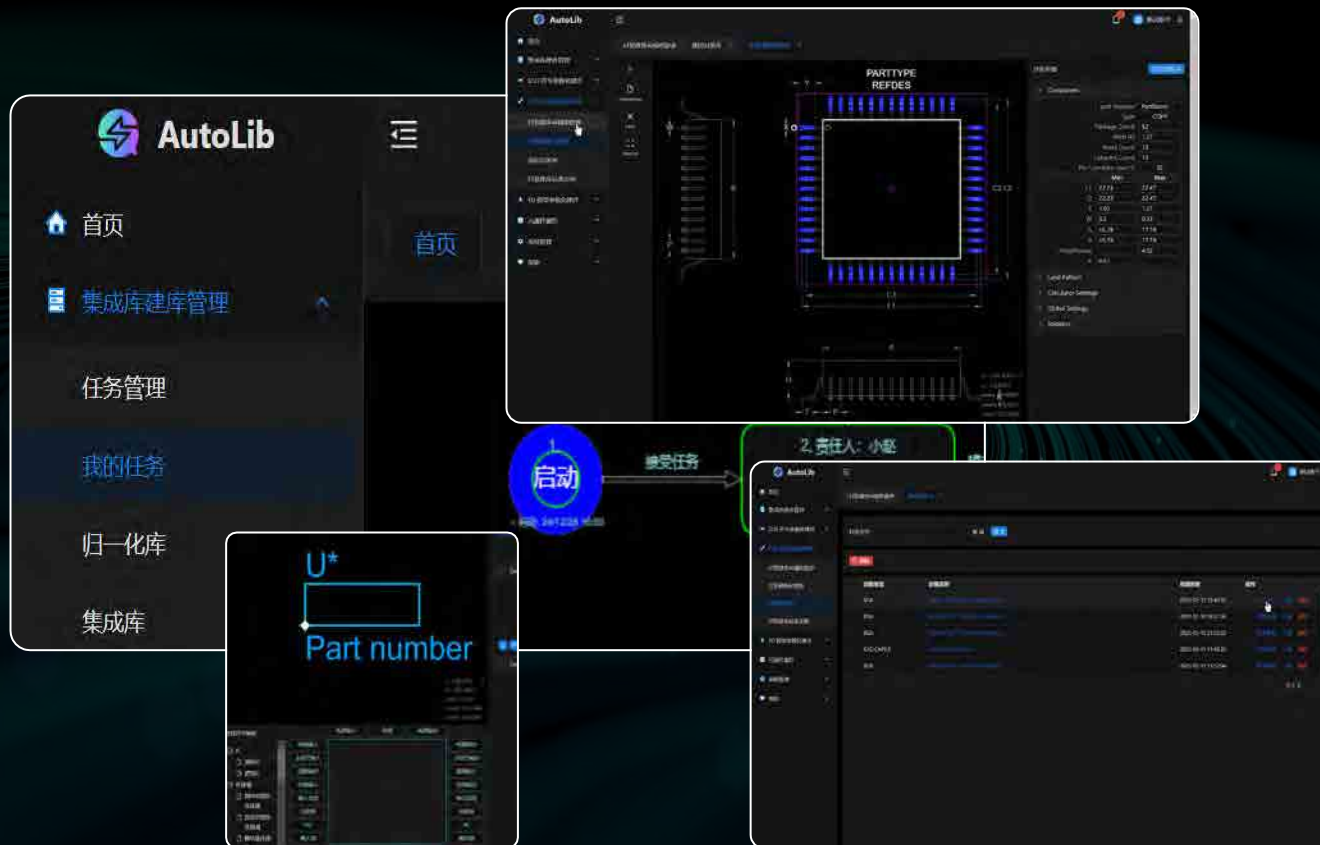
海量原厂数据、多维度参数信息

核心功能三：集成库管理平台

建库管理、维护管理

核心功能四：定制服务

用户定制开发、标准定制



软件演示视频

| 定制化建库工艺规范

参数化建库

Fiducials ☐

Alphanumeric Rows

	Count	Pitch
Rows (ABC...)	14	1.00
Cols. (123...)	14	1.00
Pin Count (for search)	124	
Ball Size (nom)	0.46	
Ball Type Collapsing		
~ Not search options		
	Min	Max
A	15.00	15.00
B	15.00	15.00
H		1.70

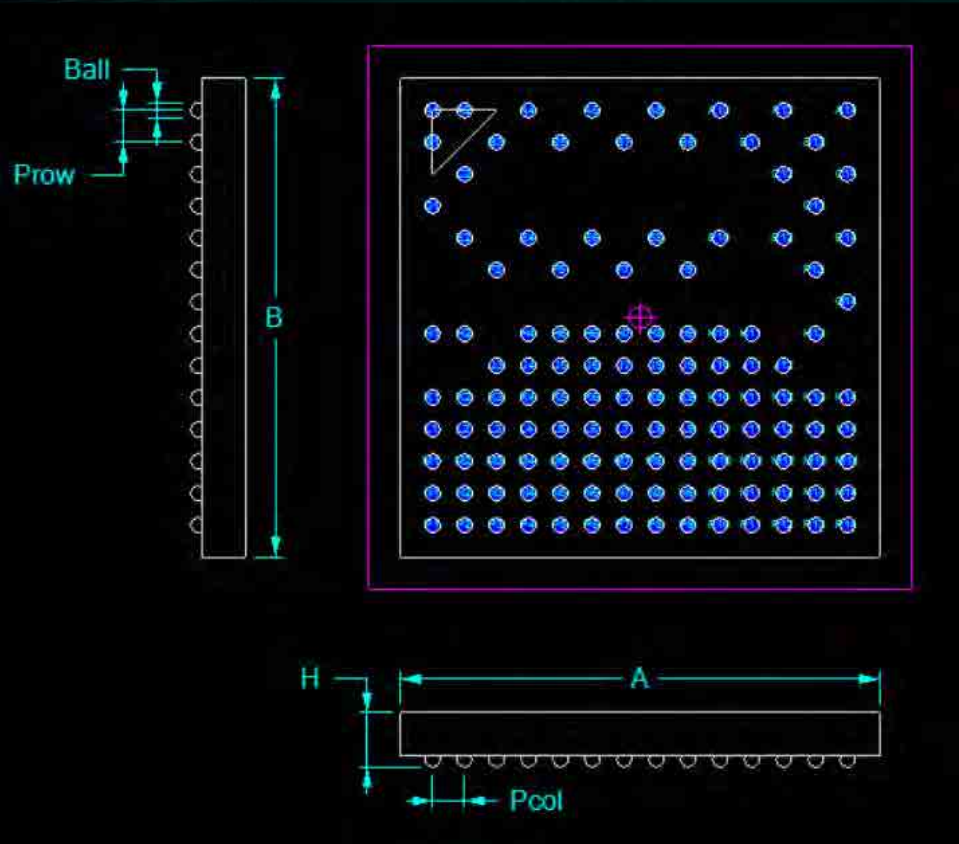
Name:
BGA124C100P14X14_1500X1500X170

Dimensions

	Land	X	0.40
Land Space C1	13.00		
Land Space C2	13.00		
Courtyard V1	17.00		
Courtyard V2	17.00		
Silkscreen R1	15.00		
Silkscreen R2	15.00		

View Pin and Padstack Data

可视化操作



执行数字化标准（可定制）

IPC-7351B Terminal Type:
Ball (collapsing)

Goals

Max. Mat'l. Cond.	0.40
Nom. Mat'l. Cond.	0.35
Least Mat'l. Cond.	0.30

True Spacings

Land to Land (side)	0.60
---------------------	------

Default ☒ User ☐

Applying default rule for ball size 0.45

Adjustment (%)	-20
Land Variation +	0.05
Land Variation -	-0.05
Land Roundoff	0.05
Solder Mask (+/-)	0.00
Paste Mask (+/-)	0.00
Courtyard Excess	1.00
Land Name Suffix	~

Include height in land pattern ☒

Drafting

Default ☒ User ☐

Silkscreen Line Width	0.20
Max Silk Out to ...	Nom
Silk Out Place End	0.10
Silk Ref Des Height	1.50
Silk Ref Des Width - W	10
Any Line Width	0.10
Max Any Out to ...	Nom
Any Out Place End	0.00
Any Ref Des Height	0.50
Any Ref Des Width	1.50
Any Ref Des Width - W	10
Courtyard Line Width	0.05
Include Crosshair With Courtyard	☒
3D Model Line Width	0.001

Rules

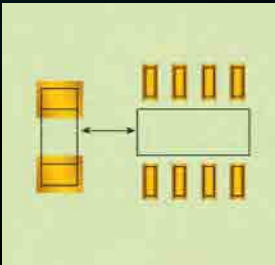
Default ☒ User ☐

Land to Land Min	0.20
Silkscreen to Land	0.25
Solder Mask Web Min	0.075
Gang Mask Shape	Block

从设计源头考虑DFM可制造性规范

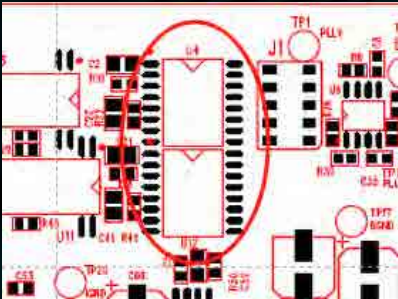
不良设计库对制造的影响

器件与器件间距检查

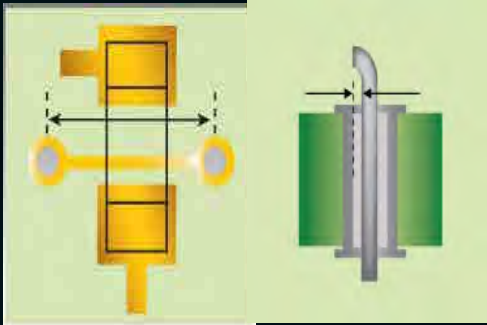


原因：
不同设备的
公差精度导
致物料撞料

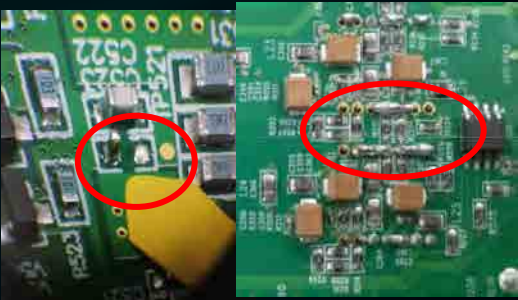
不良：间距不够，撞料风险



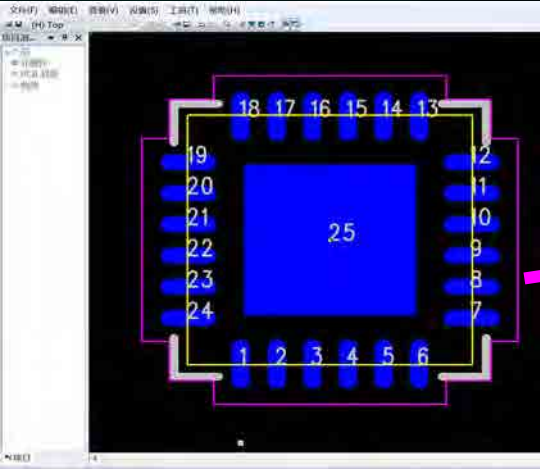
Chip器件禁布/管脚与通孔不匹配



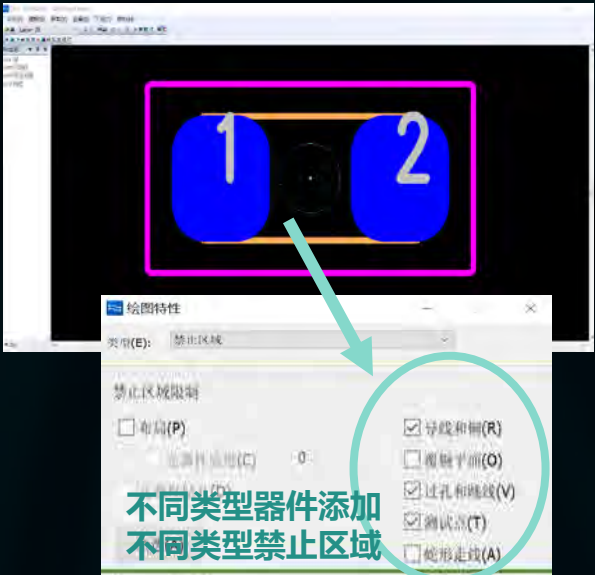
不良：Chip器件立碑/波峰焊接短路



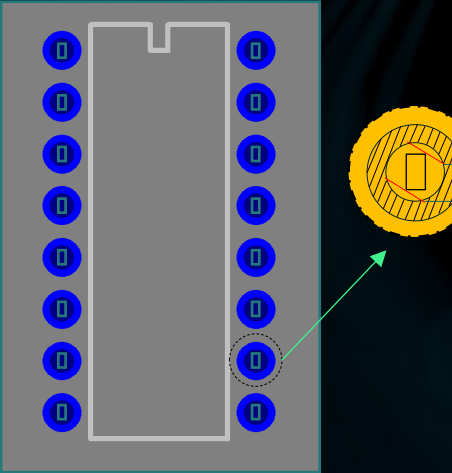
设计库融合DFM设计要求



根据不同器件类型
绘制Place Bound区域



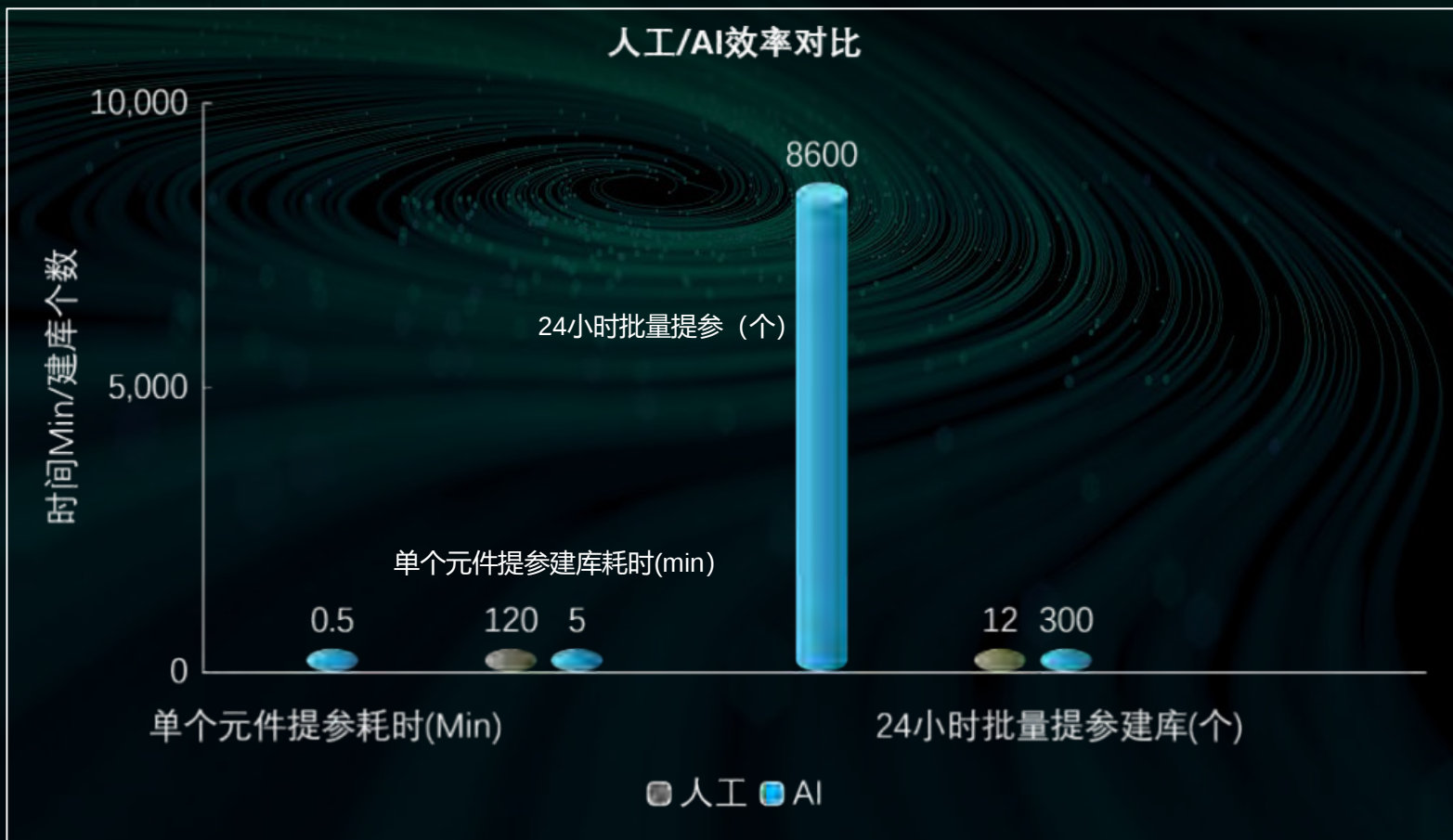
不同类型器件添加
不同类型禁止区域



智能建库提效数据

实测数据

批量元件建库效率25倍提升
单个元件建库效率24倍提升



以常规器件200~500Pin的元件、复杂器件200Pin的元件为参考

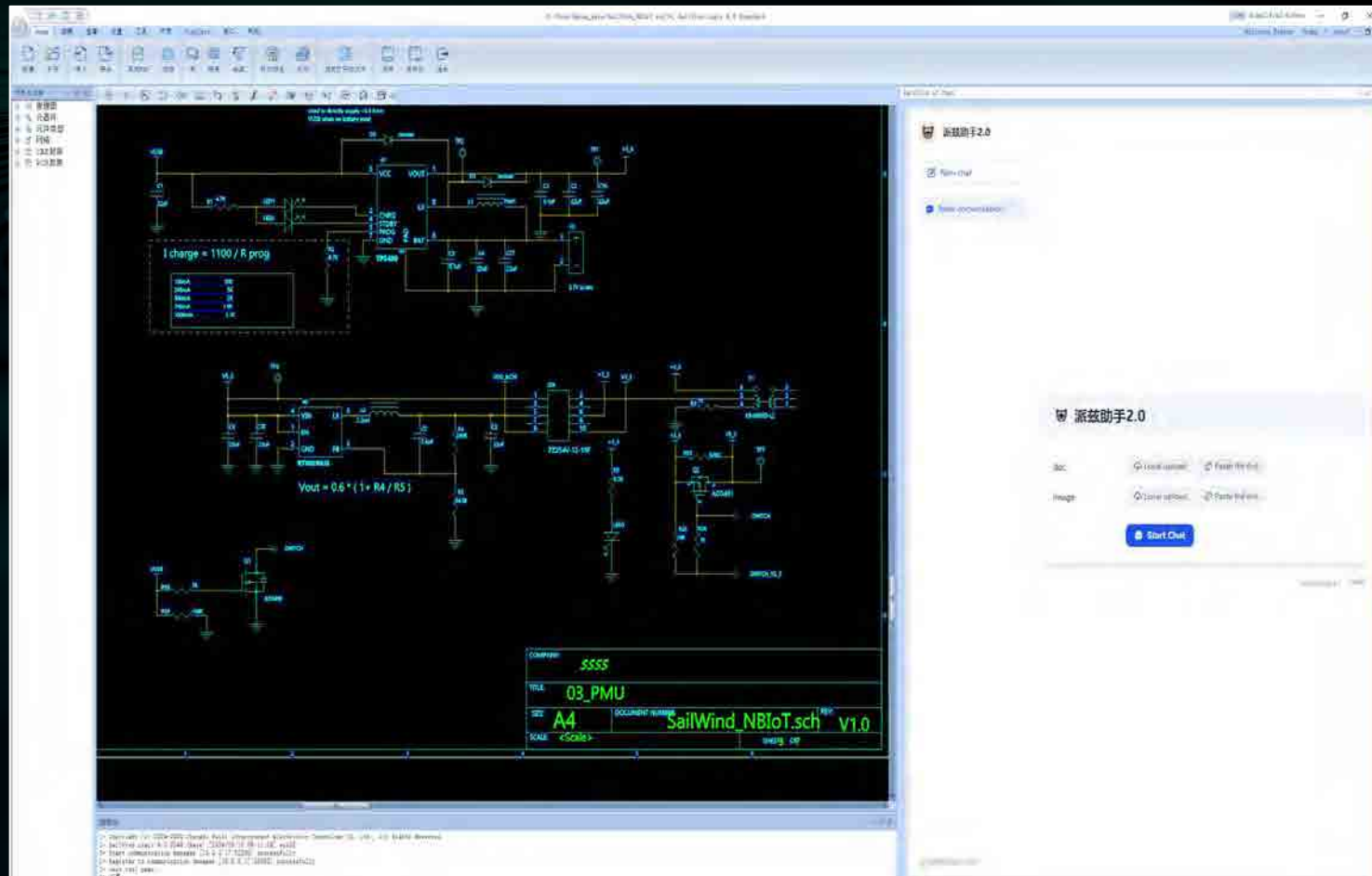
集成库解决方案演进路线

			25Q1	25Q2	25Q3	25Q4
AI智能建库工具	PCB封装	参数化建库	覆盖43类标准封装	增强连接器封装建库	增强屏蔽罩参数化建库	增强加强筋封装参数化建库
		AI	BGA、SOP	SON、QFN、QFP、DIP	覆盖通用封装类型	连接器
	原理图符号	参数化建库	支持通用符号库模板化建库			
		AI	提取规格书符号库PinMap BGA、SOP	管脚智能分组 SON、QFN、QFP、DIP	管脚智能排布、排序	智能划分Bank
	属性参数	AI	8类元器件属性参数提取	共计100类属性参数提取	共计280类属性参数提取	共计480类属性参数提取
	3D模型	参数化建模		输出 Demo	支持简单3D模型建库	支持通用3D模型建库
集成库管理平台	集成库建库	流程化建库管理，包括： 1、封装智能建库 2、符号参数化建库 3、3D手动建库 4、属性参数提取	1、封装智能建库增强 2、符号智能建库增强 3、属性提参功能增强	3D模型参数化建库	模型库建库同步增强 属性参数处理同步增强	
	集成库维护	同步增强迭代	同步增强迭代	同步增强迭代	同步增强迭代	
集成库	集成库	50万条初始元器件基础属性参数 新增1万模型库	新增2万模型库及属性库	新增3万模型库及属性库	新增4万模型库及属性库	
定制服务	定制服务	商城数据定制	用户定制需求管理 用户集成库管理	标准数字化定制 管理平台定制		

核心功能

基于熠瓴大模型的电路图信息识别

- 识别电路工作原理
- 推荐电路应用场景
- 电路优化推荐方案
- 国产替代方案建议
- 历史成熟方案复用



| AI智能布局

核心功能

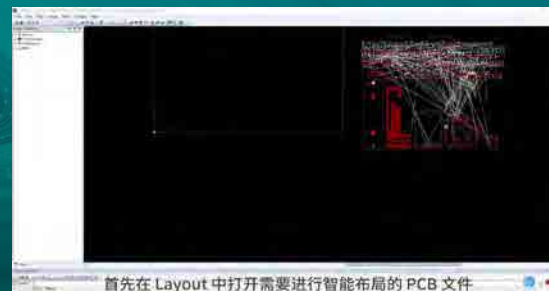
基于熠瓴大模型，结合强化学习、深度学习、几何空间算法构建的PCB智能布局器

- 1、智能面积评估
- 2、智能电路分组
- 3、智能模块布局
- 4、智能全自动布局

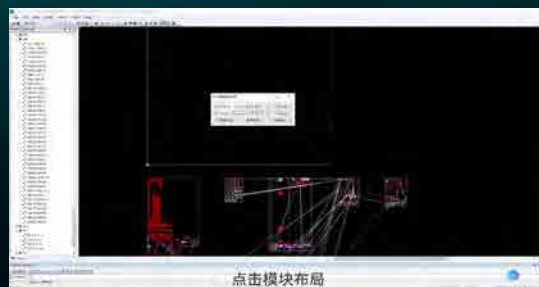
软件演示视频



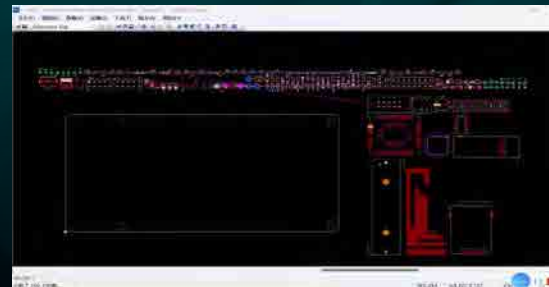
面积评估



模块分组



模块化布局



全自动布局

| 智能布局解决方案演进路线



AI智能布线

核心功能

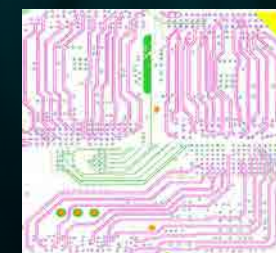
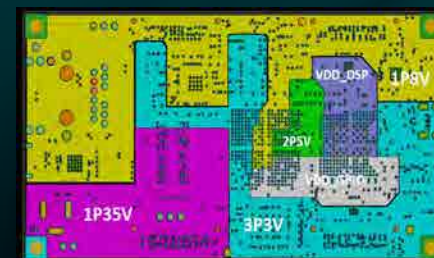
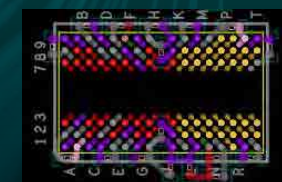
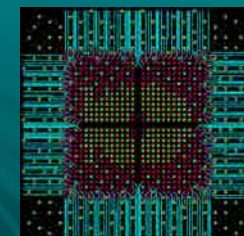
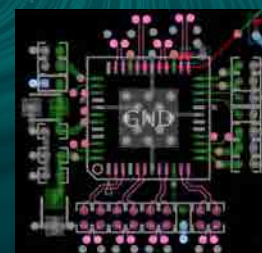
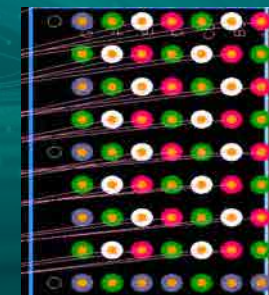
派兹强大成熟的自动布线器算法与熠瓴大模型AI自动布线算法相结合，实现从自动布线到智能布线的进化



AI 辅助布线设计

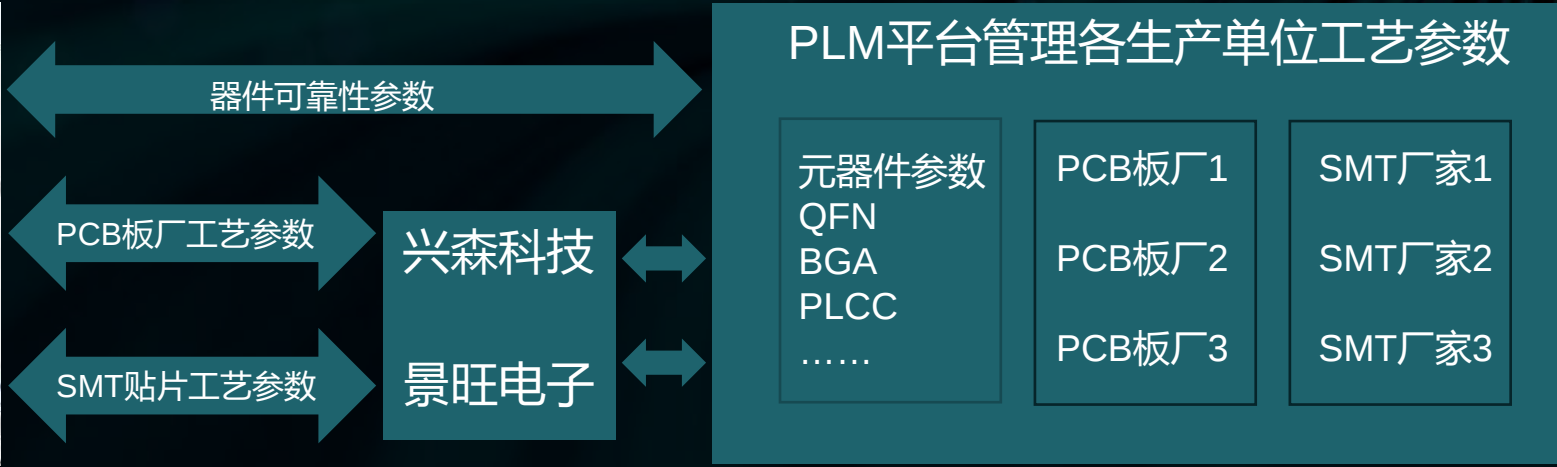
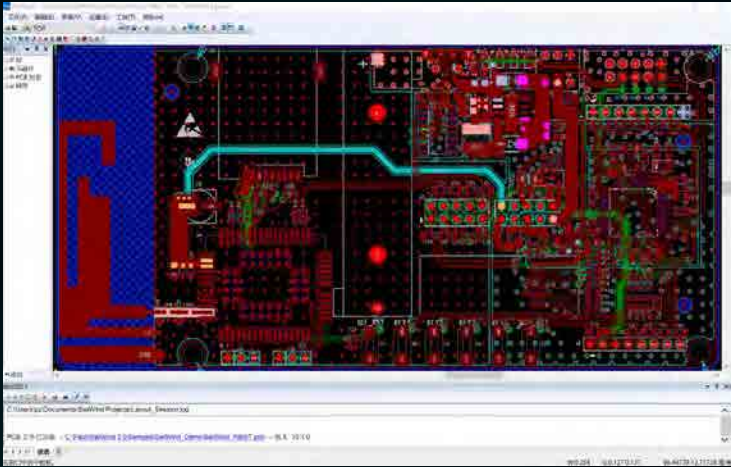
AI智能布线

生成式AI



| 智能工艺平台集成

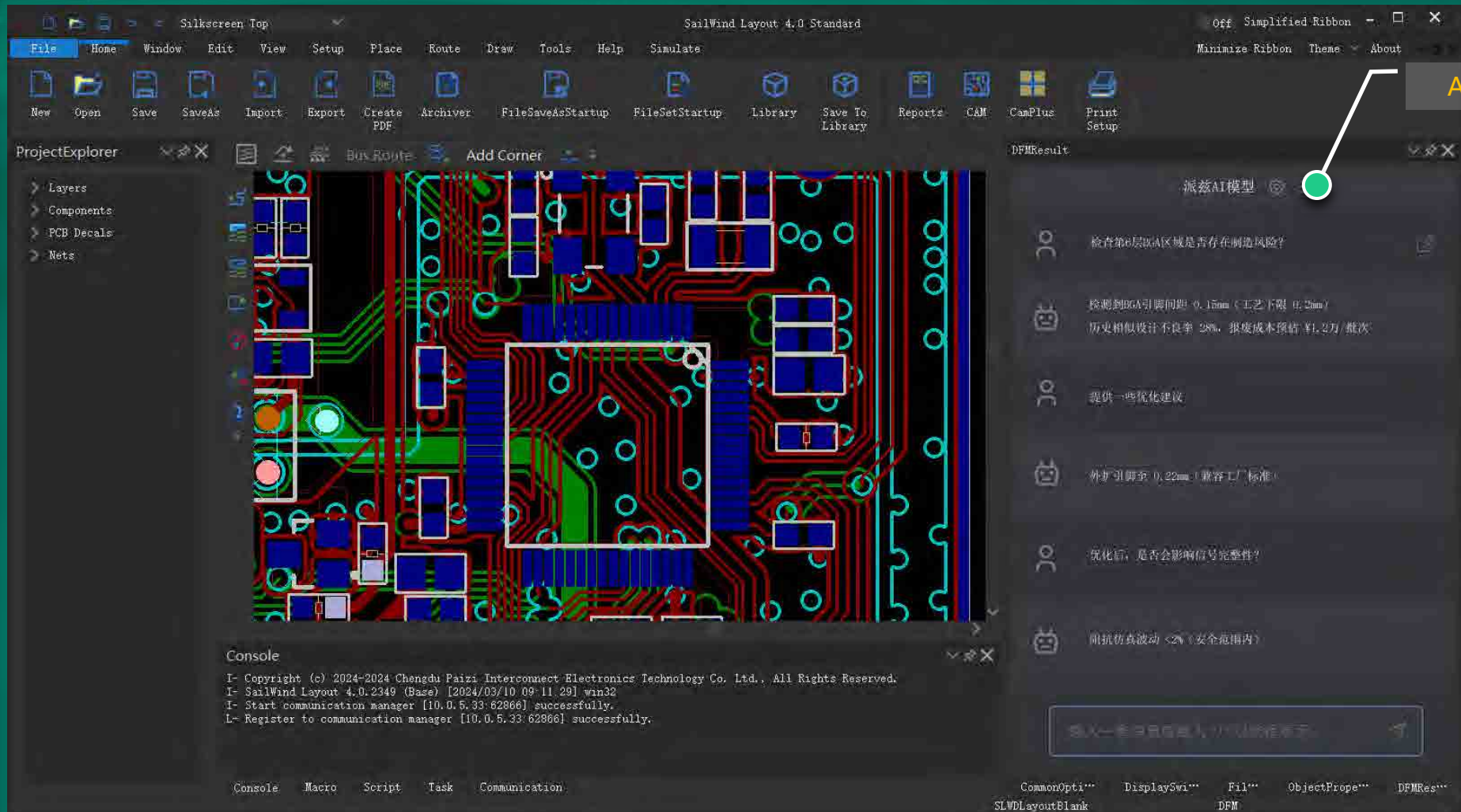
传统试样分析方法无法接受



SailWind DFM-AI设计审查解决方案

功能概述

AI制造风险评估与改善建议



SailWind DFM-AI设计审查解决方案

功能概述

专业EQ工程问询交互模式



采用PCB 行业标准的 EQ（工程问询）交互模式。

- 快速查看错误报告
- 精确定位错误位置
- 选择问题修改建议

SailWind DFM-AI设计审查解决方案

功能概述

标准化报告输出

一键输出标准化加工要求与EQ报告，可以将标准化制造信息同步到工厂端，降低工程问题沟通成本，提高生产效率。

序号*	日期* YYYY-MM-DD	问题 类型*	问题描述*	附件 Link to Attachment/ image	建议*
Description					
(Recommendation,suggestion)					
1	2025/2/13	线路	图形线路层上有断开的线头时，如何处理？		B 更新并重传文件
					C
2	2025/2/13	线路	外层存在较多的空旷区域(50*50mm范围内残铜率低于10%)，电镀时会导致局部铜厚较厚，蚀刻时存在夹膜的情况，会导致蚀刻不干净，导致短路的情况，请确认？	图2(fig2)	A 允许在外层无铜区域铺平衡铜，距离其它导体最小80mil。
					B 请修改文件
					C 按文件制作
3	2025/2/13	线路	设计的钻孔与线路层的焊盘未对正，偏位严重，请确认？	图3(fig3)	A 请修改文件
					B 允许移动钻孔，与线路焊盘对正制作
					C 按文件制作
4	2025/2/13	线路	金属孔对应内层走线连接处没有孔盘，请确认是否异常？	图4(fig4)	A 请修改文件
					B 对应内层走线处允许添加焊盘制作
					C

制板要求					
1. 产品信息					
1.1 产品基本信息：					
1.1.1	PCB客户型号 (P/N)：	GRA0931_214-1_REV.C Gerber文件			
1.1.2	板层数：	4	成品尺寸公差：+/-0.15mm 注：拼板尺寸及Unit尺寸以实际文件为准。		
1.1.3	成品尺寸（mm）：				
	Su数：		合拼种数：		
1.1.4	成品板厚（mm）：	1.0	成品板厚公差：成品板厚<1.0，默认+/-0.		
1.1.5	表面工艺：	沉金	镀硬金最小金厚：(um)		
1.1.6	过孔工艺类型：	按GERBER文件	树脂塞孔类型：非导电		
1.2 订单个性化要求：					
1.2.1	板材要求：	FR4高TG	是否无卤素：	允许在单元板无铜区增加阻流铜：	
1.2.2	阻焊颜色：	绿色	阻焊层数：	可剥离阻焊(蓝胶)：	
1.2.3	字符颜色：	白色	白油块尺寸mm：白油块平整：		
	增加白油块：				
	有序列号要求：		不允许断号：	序列号格式：	序列号颜色：
1.2.4	内层基铜厚（oz）：	1.0	完成铜厚（um）：35 孔铜厚度：IPC二级		
1.2.5	外层基铜厚（oz）：	0.5			
1.2.6	PCB验收标准：		周期标记：周期格式：WWYY 加拿大UL：		
1.2.7	快捷标记：				
	Rohs标记：		无铅标记：	防静电标记：	



03

私有化部署三大平台

| 企业AI模型如何落地

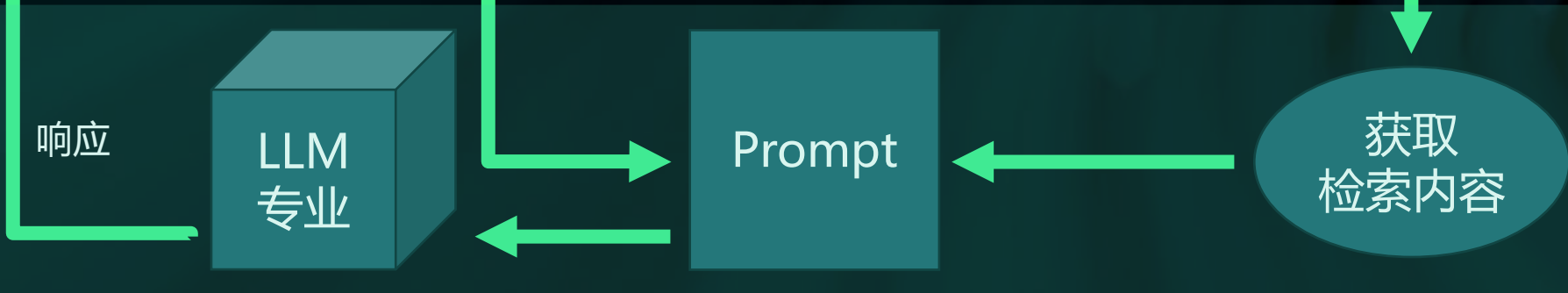
数据治理



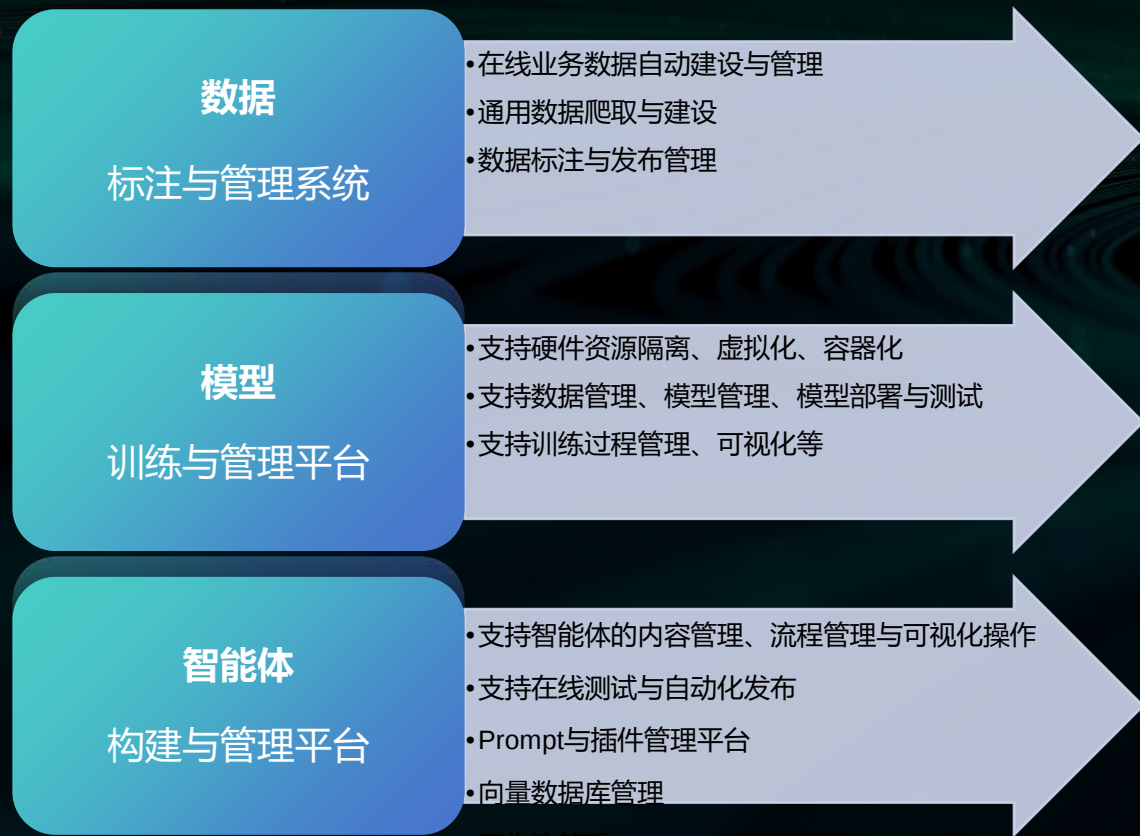
人机交互



模型驱动

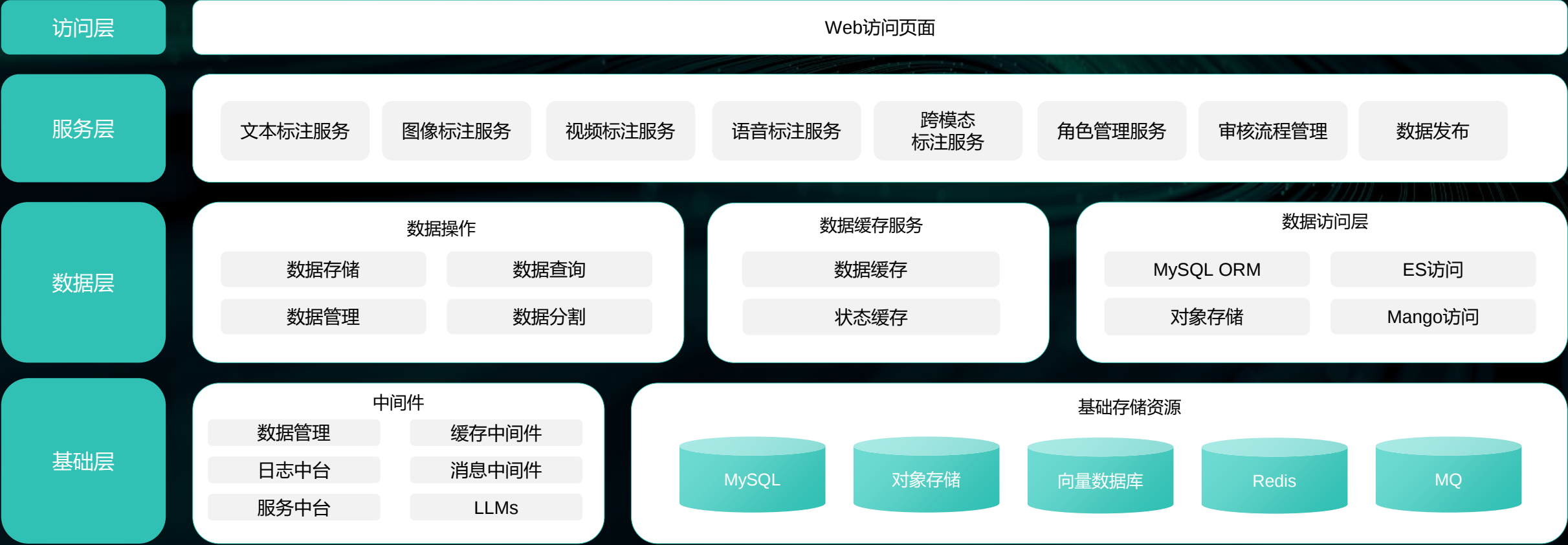


基于熠瓴大模型的企业级私有化部署方案



| 基于熠瓴大模型的企业级私有化训练方案

数据建设与管理平台

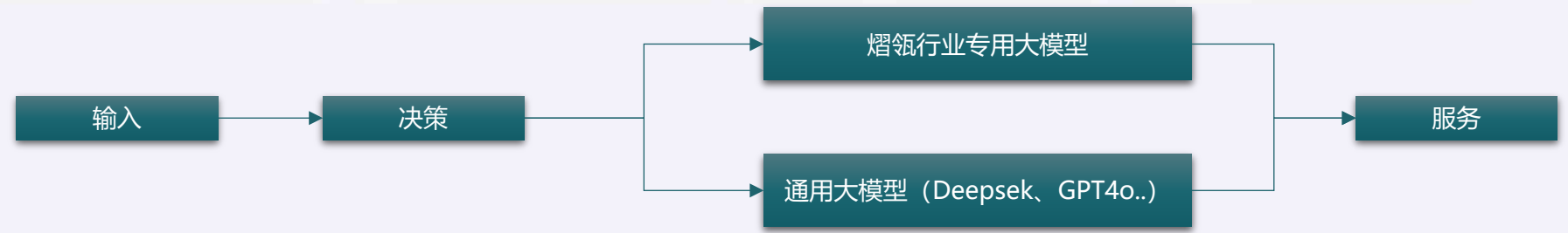


基于熠瓴大模型的企业级私有化训练方案

模型训练与管理平台



基于熠瓴大模型的AI智能体管理方案



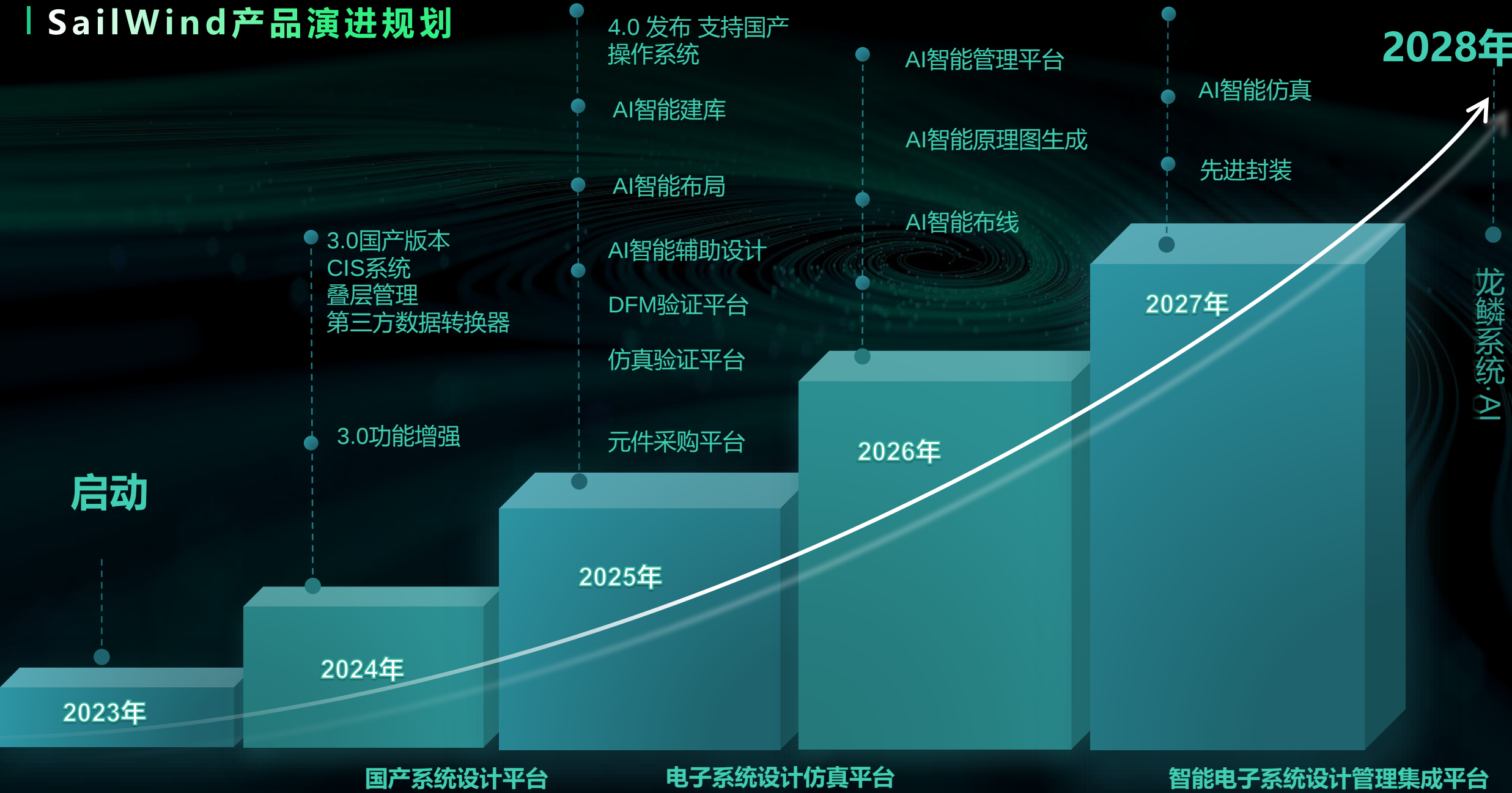
✓ 已经介入Deepseek、Qwen、GPT4o、Claude的各家主流通用大模型能力，结合熠瓴的专用能力实现1+1 > 2的企业级服务。

训推一体化服务器及平台

一体机实现数据标注与模型训练串通，并快速实现业务的能力支撑

模块	训推一体机高级版	训推一体机中阶版	训推一体机低阶版	+ More
配置	CPU：单颗≥32核，数量≥2，频率≥2.6GHz GPU：NVIDIA A800 80GB *8卡 Nvlink 内存：DDR5 内存 ≥1024GB 硬盘（系统）：2TB SATA SSD≥2 硬盘（数据）：8TB NVME SSD≥1 网卡：支持25GE及以上端口≥2 200G端口≥4 机箱：4U 或者 8U 电源：3000w 1+1 冗余	CPU：单颗≥32核，数量≥2，频率≥2.6GHz GPU：NVIDIA A100 80GB *8卡 PCIE 内存：DDR5 内存 ≥1024GB 硬盘（系统）：1TB SATA SSD≥2 硬盘（数据）：4TB NVME SSD≥1 网卡：支持25GE及以上端口≥2 200G端口≥4 机箱：4U 或者 8U 电源：3000w 1+1 冗余	CPU：单颗≥32核，数量≥2，频率≥2.6GHz GPU：NVIDIA L20 48GB *8卡 PCIE 内存：DDR5 内存 ≥1024GB 硬盘（系统）：1TG SATA SSD≥2 硬盘（数据）：4TB NVME SSD≥1 网卡：支持25GE及以上端口≥2 200G端口≥4 机箱：4U 或者 8U 电源：3000w 1+1 冗余	昇腾 海光 太初 ...
特性	1、训练及推理速度极快； 2、支持70B~100B模型微调； 3、支持三大平台（训练、Agent管理及标注）	1、训练速度较快； 2、支持70B~100B模型微调； 3、支持三大平台（训练、Agent管理及标注）	1、训练速度较慢； 2、支持7B~20B模型微调； 3、支持三大平台（训练、Agent管理及标注）；	

SailWind产品演进规划



SailWind3.0 新增功能

汇报人：XXX

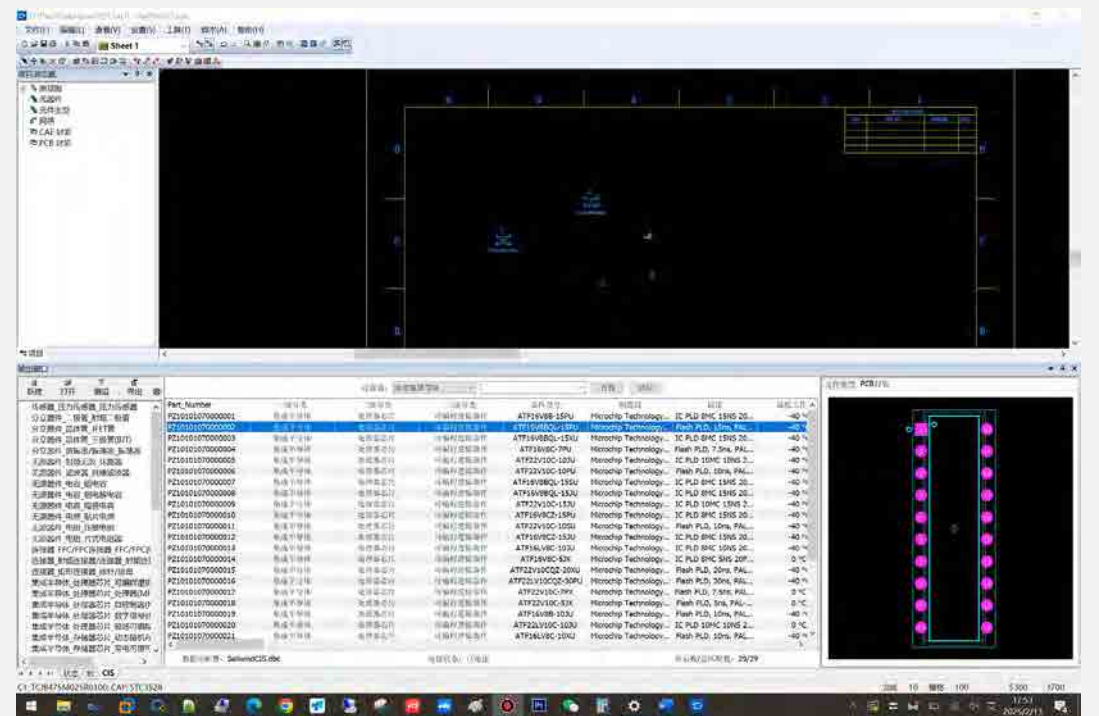
SailWind 3.0 新增功能 —

原理图物料管理CIS



- 简单的鼠标拖拽完成器件添加
 - 根据参数筛选快速搜索定位库中所查器件
 - 即时查看符号、封装样式、所看即所得
-
- 验证设计文件中的器件参数完整性和一致性
 - BOM设计即正确,避免事后BOM的繁琐流程
 - 减少手动处理BOM 2~3天时间
 - 与云商城连接 (正在搭建电巢国产替代云商城)

功能演示



SailWind 3.0 新增功能 二

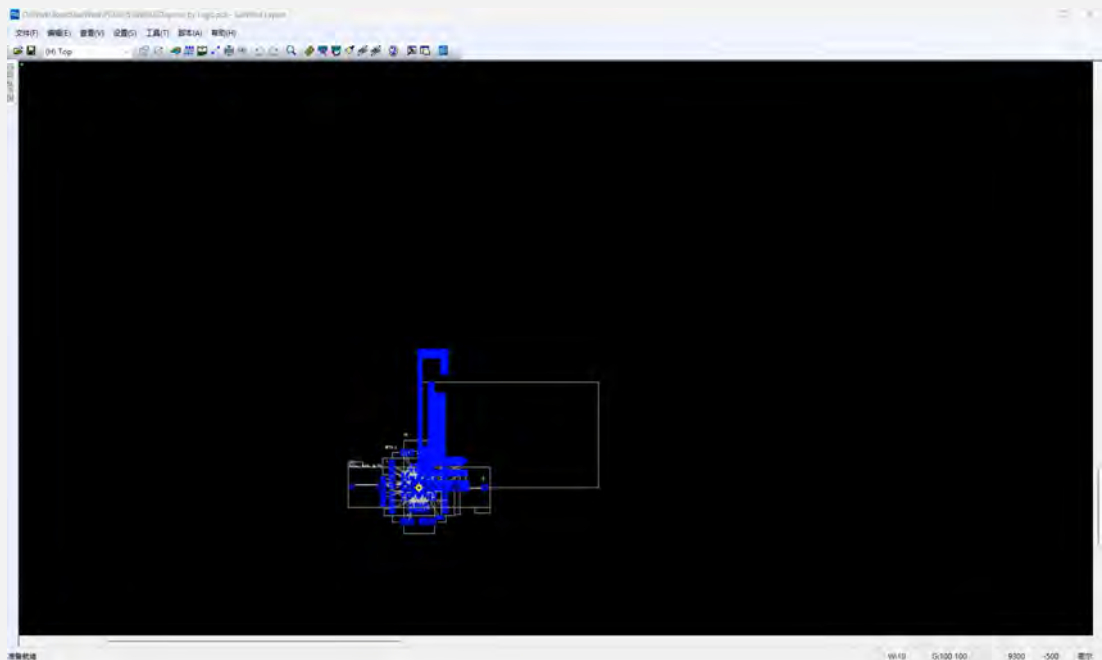


自动分页模块化



- 支持SailWind Logic原理图
 - 自动按原理图分页摆放所有器件
 - 按原理图页面自动创建模块簇或组合
 - 元件摆放的最小间距设置
-
- 减少选择器件，创建功能模块的繁琐操作
 - 按器件在原理图中的相对位置摆放
 - 减少布局错误的机率
 - 模块分组：半小时缩短至十几秒时间

功能演示



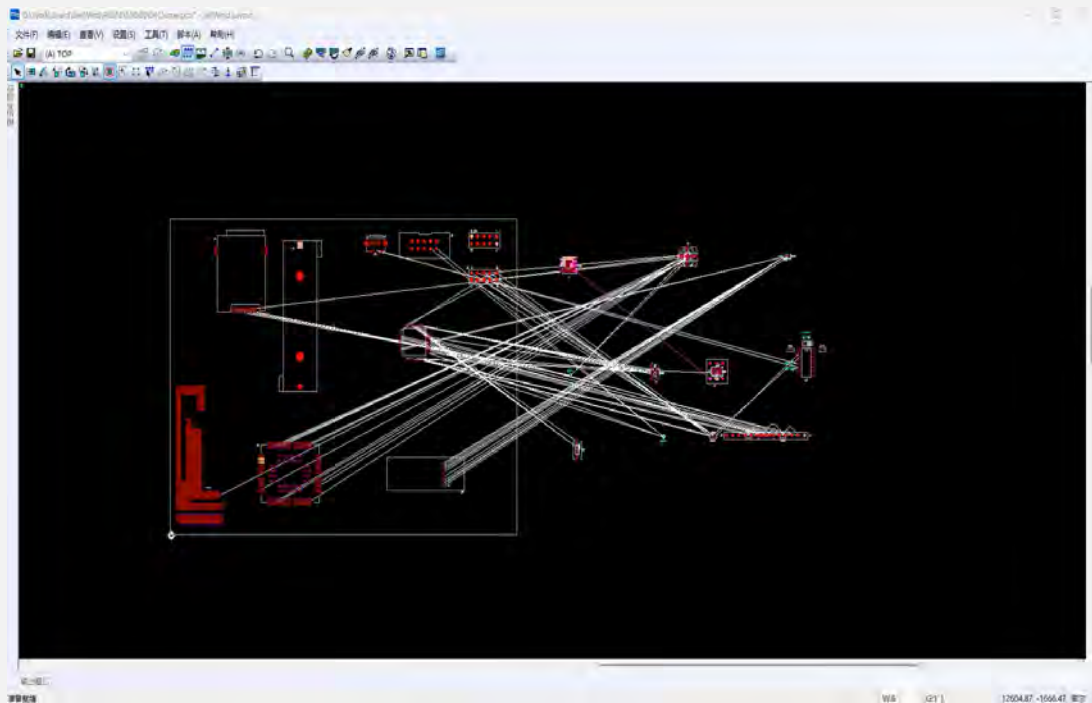
SailWind 3.0 新增功能 三

模块化自动布局



- 一键生成模块化布局评估方案
 - 可设定算法的迭代次数，评估布局方案
 - 整体模块布局后，再进行精细化布局设计
-
- 快速评估不同形状板框情况下的布局方案
 - 自动算法根据模块间飞线连接关系生成布局
 - 全自动化评估流程，评估时间提升10倍以上

功能演示



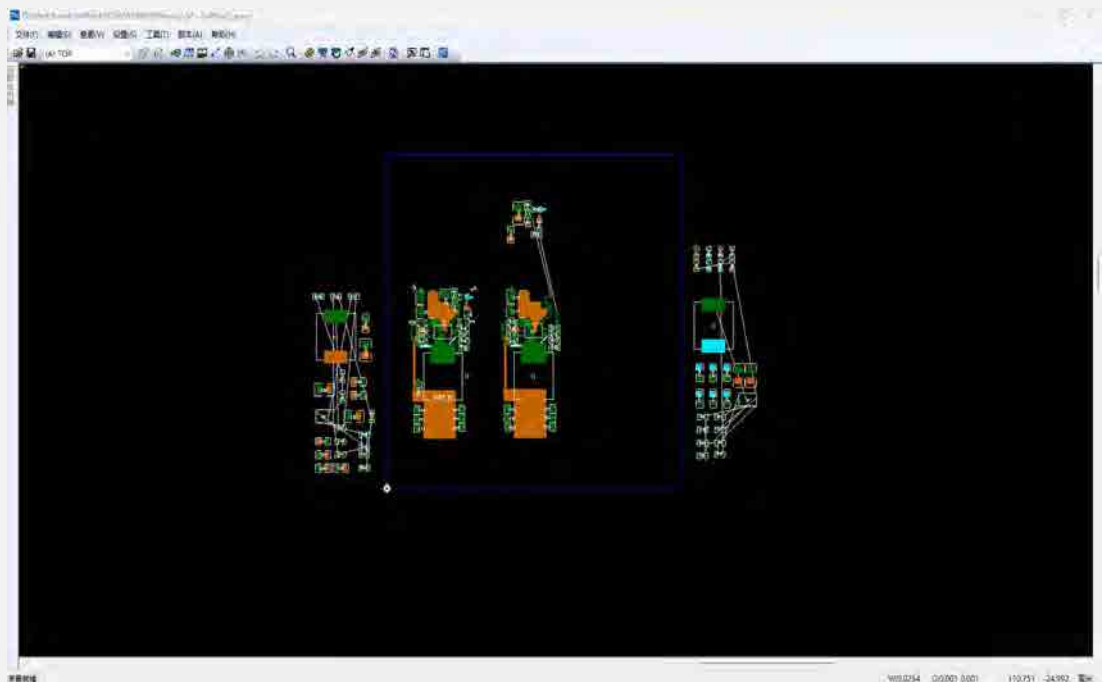
SailWind 3.0 新增功能 四

模块复用



- 高效查阅复用模块内器件信息
 - 快速调用已有复用模块
 - 开关匹配条件，提高复用成功率
-
- 自动位号重命名和网络映射
 - 可以在 PDR 库中命名和保存复用模块
 - 完整的报告，简化应用复用模块的评审工作
 - 最大程度地节省花在测试和评审上的时间
 - 缩短设计时间，提高生产率，确保产品质量，提升整个 PCB 设计过程的工作效率

功能演示



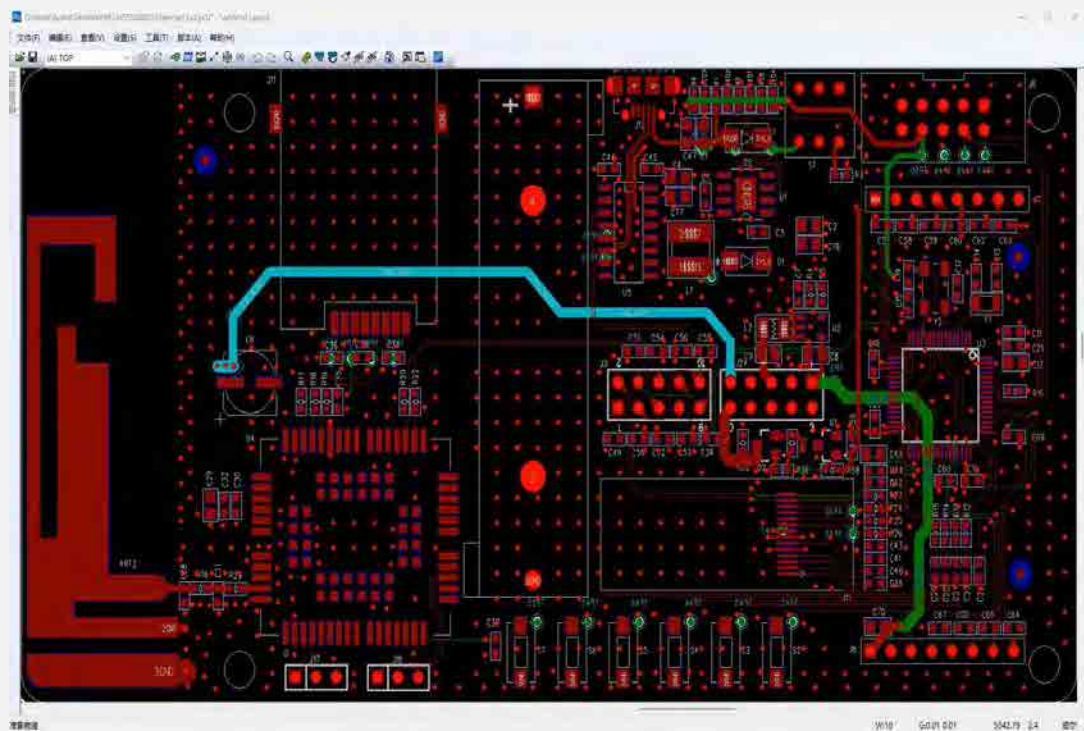
SailWind 3.0 新增功能 五

选择筛选器



- 选择任意对象，可显示相关详细信息
 - 所选对象自动适配视图大小
 - 可导出所选对象的信息导出成csv文件
 - 按对象名称进行过滤
-
- 项目间复用数据时经常需要精确选择，此功能可提升精确筛选的效率
 - 导出CSV文件：
 - 输出大型FPGA器件管脚信息，给FPGA工程师做管脚交换数据处理
 - 可根据输出数据，方便做二开处理

功能演示



SailWind 3.0 新增功能 六

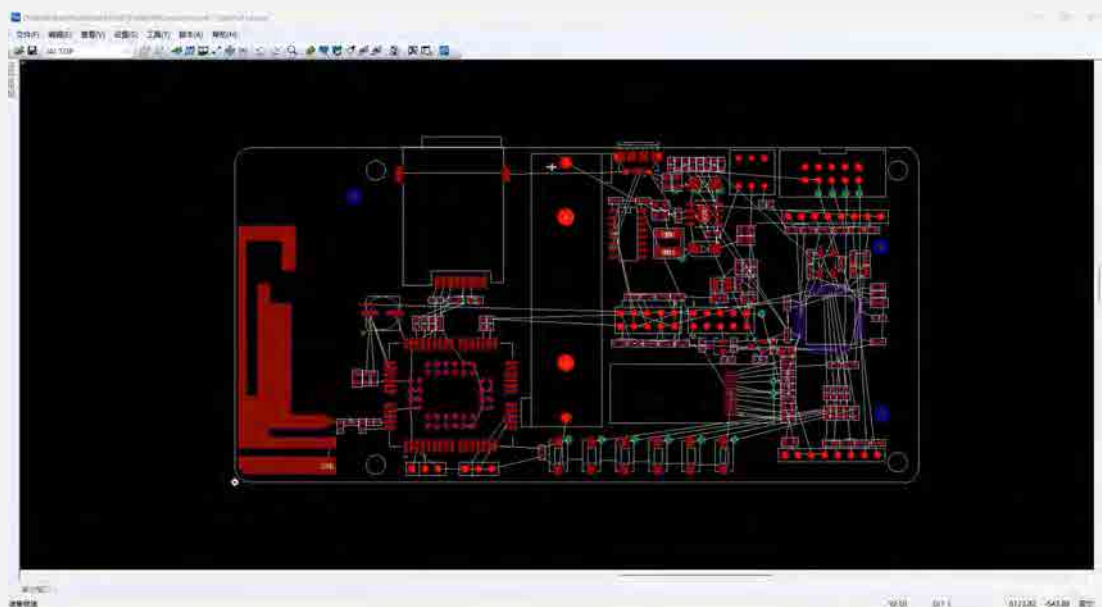


飞线控制



- 快速将所选网络的连线显示或隐藏
 - 将所选元件上的网络连线显示或隐藏
 - 锁定指定网络的连线显示或隐藏状态
-
- 工程师可根据不同网络组或器件分配飞线显示关系，方便布局布线方案的评估
 - 灵活的飞线控制功能，比原PADS软件效率提升10倍以上

功能演示



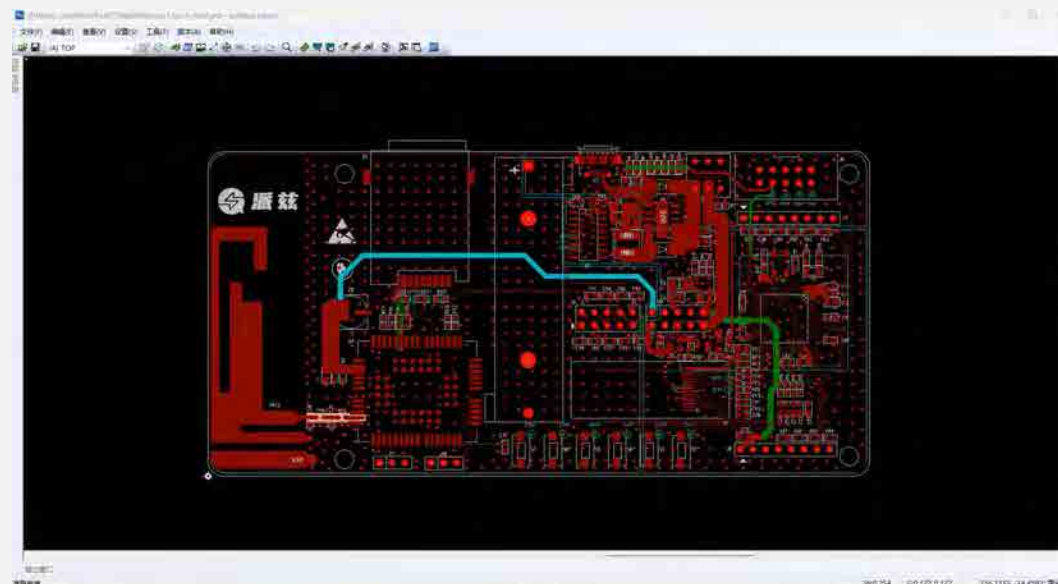
SailWind 3.0 新增功能 七

分配网络颜色



- 对所选网络分配指定的颜色
 - 将所有网络分配的颜色恢复成所在层颜色
-
- 灵活的配色功能，方便工程师呈现网络规划
 - 配色功能使用效率与原PADS大幅提升

功能演示



SailWind 3.0 新增功能 八

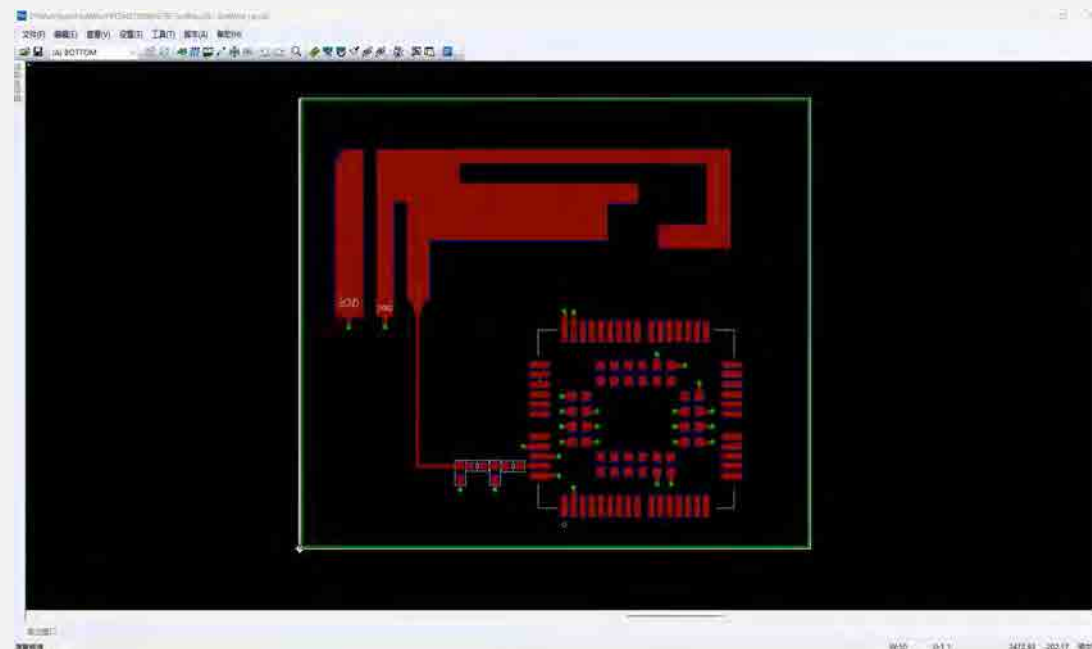
射频功能



原有射频功能集中添加到工具栏显性化，包括：

- 添加屏蔽孔 (Adding a Via Shield)
- 导线倒角
(Converting a Trace to a Copper Chamfered Path)
- 选择已倒角铜箔
- (Restoring Traces After Conversion to Copper Chamfered Paths)

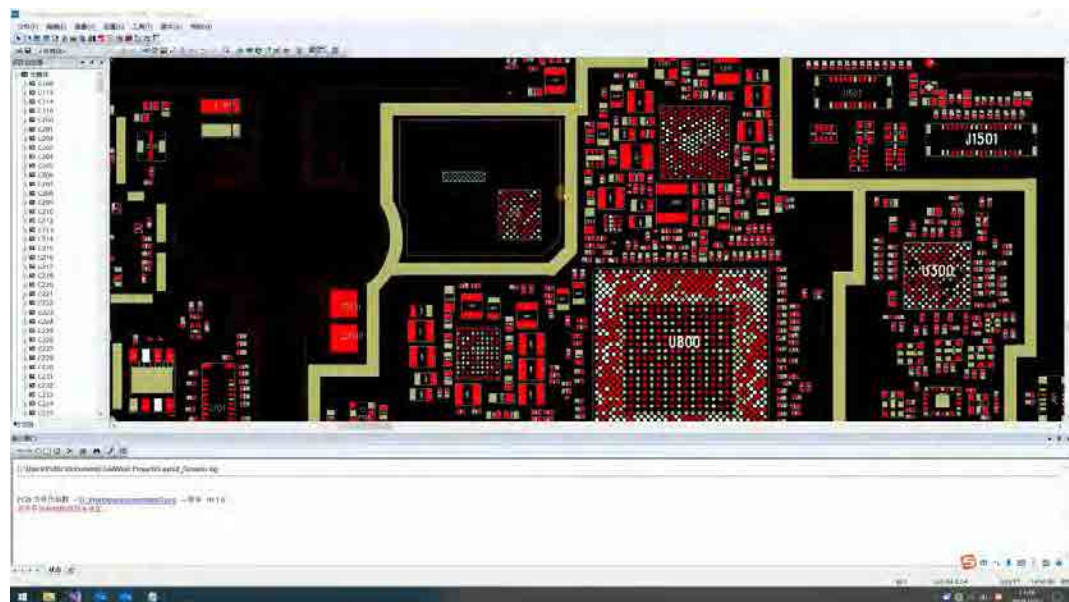
功能演示



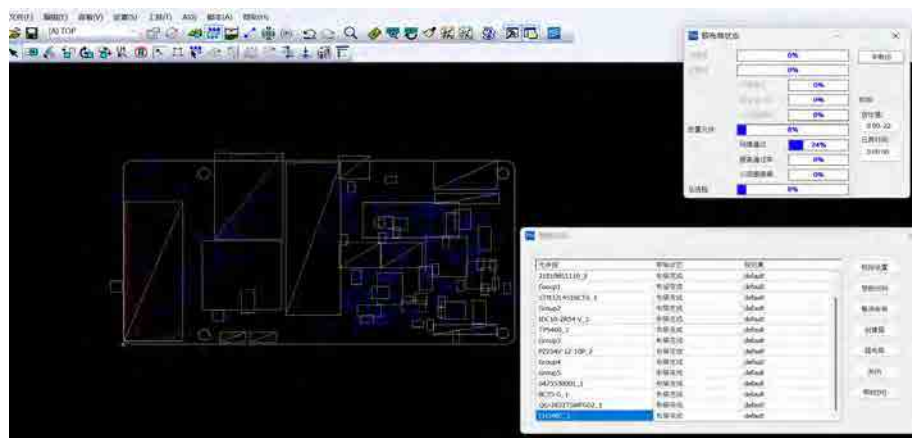
派兹



- 单页原理图布局
- 是否允许45度摆放器件
- 可按器件类型设定安全间距，让评估更加真实



SailWind新增AI辅助功能



智能布局评估:

- 规则则设、智能识别、模块分组、模块布局
- 布局风格选择: 信号流、原理图
- 关键器件间距设定

