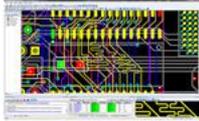


## 最新产品

当前位置: 首页 &gt; 产品目录



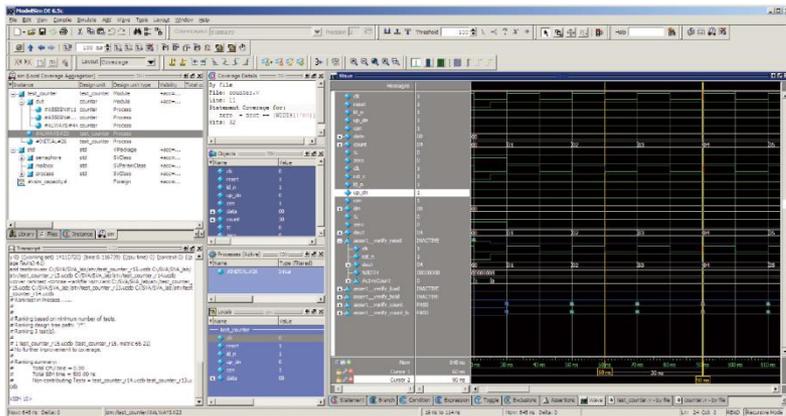
### PADS Standard Plus

PADS Standard Plus 一套完整的 PCB 设计工具 强大的原理图输入和 Layout 工具， 约束管理，更多的 PCB 功能和 分析工具能帮助工程师一次性通过设计， 完成项目。• 转为 ...



### PADS Professional

PADS Professional PADS 最高阶的套装， 适合需要处理一切的工程师 • 处理最复杂的挑战， 更好更快 • ...



ModelSim®DE具有前所未有的验证功能采用经济高效的HDL仿真解决方案。ModelSim屡获殊荣的Single Kernel Simulator (SKS) 技术,也是业界唯一的单内核支持VHDL和Verilog混合仿真的仿真器,其简易使用的图形界面、直接优化的编译技术和快速的编译仿真,是FPGA/ASIC设计的不二之选。

## PADS Standard Plus

[PDF资料下载](#)

一套完整的PCB设计工具强大的原理图输入和Layout工具, 约束管理, 更多的PCB功能和分析工具能帮助工程师一次性通过设计, 完成项目。

- 转为PCB设计而也需要分析和验证的工程师所配置
- 强大功能,易于使用
- 先进的布局和高速约束

ModelSim®DE具有前所未有的验证功能采用经济高效的HDL仿真解决方案。ModelSim屡获殊荣的Single Kernel Simulator (SKS) 技术,也是业界唯一的[单内核](#)支持VHDL和Verilog混合仿真的[仿真器](#),其简易使用的图形界面、直接优化的编译技术和快速的编译仿真,是FPGA/ASIC设计的不二之选。

产品功能：

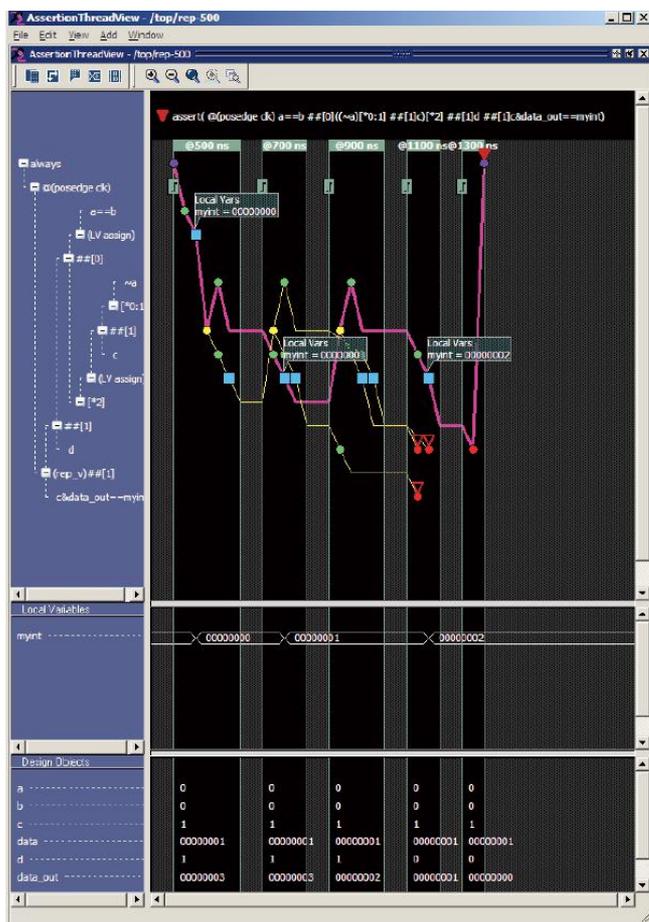
- 优化的本地编译建构, 支持SKS技术
- 具有Tcl的智能化及易于使用操作介面
- 提供向导及源码模板的集成项目管理
- 查看和对比波形; 目标,查看及存储视窗
- 代码覆盖
- VHDL, Verilog, PSL, and SystemVerilog设计断言架构; SystemC等语言可供选择
- 支持标准Xilinx SecureIP
- 支持Win7,Win10及Linux平台

易于使用及强大图形化介面,一致且直观。所有窗口能互动及自动更新。例如,自动在结构窗口中选择一个设计区域更新Source, Signals, Process和Variables窗口。您可以编辑,重新编译并重新仿真,而无需离开ModelSim环境。所有用户界面操作可以编写脚本,仿真也可以批量运行或交互模式。



## 断言线程查看器和断言浏览器

当触发复杂断言时，只通过检查波形窗口中的仿真结果来确定失败的原因可能非常困难。而把断言记录到Wave窗口，其中可以轻松识别激活，成功和失败状态。由于断言在并发评估中可以有多个线程，ModelSim DE包含一个创新的断言线程查看器，它以图形方式显示对激活的断言的完整评估。每个布尔表达式的成功或失败都会显示评估中的每个线程按每个线程的顺序进行评估。局部变量值也显示在完整的断言调试环境中。每个断言的统计信息都可以在断言中进行检查浏览器窗口。断言统计包括激活次数，成功，失败和每个断言空洞的成功。





## 内存窗口

内存窗口允许直观和灵活的查看及调试记忆设计。VHDL和Verilog的记忆是从源自动提取和在GUI中查看，功能强大搜索，填充，编辑，加载和保存功能。内存窗口支持预装内存从文件或使用常量，随机，并计算值，保存减少耗时的加载存储器进行初始化步骤测试平台部分。所有功能都可通过命令行，允许他们在脚本中使用。

## 波形和结果查看

ModelSim DE提供了很高性能及全面的Wave窗口。Wave窗口提供用于标记游标在要注意的时间点和测量游标之间的时间距离。Wave窗口内容可以格式化灵活通过强大的虚拟信号定义和分组。波形很容易在两次模拟之间进行结果比较。通过用户指定时间过滤功能RTL和门级仿真结果之间时间差异变得易于处理。ModelSim提供了一个独特的WLF管理实用程序（又名WLFMAN），允许操作wlf结果文件，让你指定数量要记录到WLF的信息文件或基于信号或时间现有的WLF的文件子集。该WLFMAN实用程序非常高效磁盘空间和管理后仿真调试效率。

## 源窗口模板和向导

VHDL和Verilog模板和向导让你快速无需开发HDL代码记住确切的语言句法。所有的语言结构只需使用滑鼠点击一下便可。易于使用的向导步骤使你通过创造更多复杂的HDL块。向导显示如何创建可参数化逻辑块，测试台激励和设计对象。新手和知深的HDL开发人员同时受益于源窗口模板和向导带来的省时快捷键。

## 项目管理

项目管理很大减少了整理文件和库所需的时间。当你编译并仿真项目管理存储每个的独特设置个人项目，让你离开了后,重新启动仿真器之前的位置上。仿真属性让您轻松地重新仿真预先配置的参数。

## 代码覆盖率

设计验证完整性可以通过代码来衡量覆盖。ModelSim DE支持声明，表达，条件，切换和FSM覆盖。码覆盖率指标是自动的源自HDL源。如许多设计块被创建可配置和可重用的并非所有指标都是有价值的代码覆盖范围指标可以灵活使用源代码编译指南进行管理和代码中指定的排除覆盖浏览器。

